

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014384308 **Image available**

WPI Acc No: 2002-205011/200226

XRAM Acc No: C02-062824

XRPX Acc No: N02-156006

Fabricating a thin-film transistor by forming sub-gates and insulation layers, planarizing second insulation layer and forming semiconductor layer, gate dielectric layer, main gate layer, insulation spacers and replacement layer

Patent Assignee: SHI M (SHIM-I); SHR M (SHRM-I); HUANG T (HUAN-I); LIN H (LINH-I); TSAI M (TSAI-I); SM SZE (SMSZ-N)

Inventor: HUANG D; LIN H; TSAI M; HUANG T

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020009833	A1	20020124	US 2001879967	A	20010614	200226 B
JP 2002050770	A	20020215	JP 2001172041	A	20010607	200228
TW 463384	A	20011111	TW 2000111706	A	20000615	200248
US 6555424	B2	20030429	US 2001879967	A	20010614	200331

Priority Applications (No Type Date): TW 2000111706 A 20000615

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20020009833	A1	28	H01L-021/335	
JP 2002050770	A	18	H01L-029/786	
TW 463384	A		H01L-029/786	
US 6555424	B2		H01L-021/338	

Abstract (Basic): US 20020009833 A1

NOVELTY - A thin-film transistor having sub-gates and Schottky source/drain is fabricated by forming two island-shaped sub-gates and two insulation layers on insulation substrate, planarizing the second insulation layer, and sequentially forming an island-shaped semiconductor layer, a gate dielectric layer, an island-shaped main gate layer, insulation spacers and a metal-containing replacement layer.

DETAILED DESCRIPTION - Fabrication of thin-film transistor (TFT) having sub-gates and Schottky source/drain includes providing an insulation substrate (30), forming two island-shaped sub-gates (31), forming first and second insulation layers (32, 33), planarizing the second insulation layer until the first insulation layer is exposed, and sequentially forming an island-shaped semiconductor layer, a gate dielectric layer, an island-shaped main gate layer, insulation spacers and a metal-containing replacement layer. The insulation spacers are formed on the sidewalls of the main gate layer. The replacement layer is formed on the exposed portions of the semiconductor layer. The replacement and the semiconductor layers underneath the insulation spacers form a Schottky contact that serves as the Schottky

source/drain.

USE - The method is used for fabricating TFT having sub-gates and Schottky source/drain.

ADVANTAGE - The method eliminates the steps of distribution doping in source/drain, and follow-up annealing, thus reducing fabrication complexity and production costs. The resulting TFT can operate in both n-type and p-type channels by simply adjusting the biased-voltage of the sub-gate.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional diagram of TFT fabrication.

Insulation substrate (30)

Sub-gates (31)

First and second insulation layers (32, 33)

pp; 28 DwgNo 3d/12

Title Terms: FABRICATE; THIN; FILM; TRANSISTOR; FORMING; SUB; GATE;

INSULATE; LAYER; PLANE; SECOND; INSULATE; LAYER; FORMING; SEMICONDUCTOR;

LAYER; GATE; DIELECTRIC; LAYER; MAIN; GATE; LAYER; INSULATE; SPACE;

REPLACE; LAYER

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/335; H01L-021/338; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/28;

H01L-021/336; H01L-029/872

File Segment: CPI; EPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-50770

(P2002-50770A)

(43)公開日 平成14年2月15日(2002.2.15)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト*(参考)

H 0 1 L 29/786

H 0 1 L 21/20

4 M 1 0 4

21/20

21/28

3 0 1 S 5 F 0 5 2

21/28

3 0 1

29/78

6 1 7 N 5 F 1 1 0

21/336

6 1 6 K

29/872

6 2 7 G

審査請求 有 請求項の数19 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願2001-172041(P2001-172041)

(71)出願人 501229230

(22)出願日 平成13年6月7日(2001.6.7)

施 敏

台湾新竹市大學路1001-1号

(31)優先権主張番号 8 9 1 1 1 7 0 6

(72)発明者 林 鴻志

台湾新竹市四維路89巷2之1号11樓之3

(32)優先日 平成12年6月15日(2000.6.15)

(72)発明者 蔡 明詩

台湾高雄市楠梓区宏毅二路18之2号

(33)優先権主張国 台湾 (TW)

(72)発明者 黄 調元

台湾新竹市東区東山里5鄰食品路55之2号

5 樓

(74)代理人 100097180

弁理士 前田 均 (外2名)

最終頁に続く

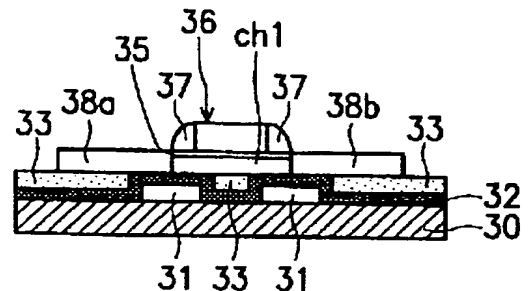
(54)【発明の名称】 サブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタ並びにその製造方法

(57)【要約】

【課題】 サブゲート及びショットキーソース/ドレインを備えた新規の薄膜トランジスタの製造方法を提供すること。

【解決手段】 本発明はサブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタ並びにその製造方法を開示する。従来行われていたソース/ドレインのドーピング及びその後のアニーリング工程を省略することにより、工程の複雑度と製造コストを減少することができる。工程の温度も低くすることができる。サブゲート及びショットキーソース/ドレインを備えた本発明の薄膜トランジスタは、サブゲートのバイアス電圧により、同一のトランジスタ部品上で、n型チャネルとp型チャネルとの2種類のモードで動作することができる。さらに、本発明はサブゲートに電圧を印加することにより電気接合の形成を誘起し、従来のソース/ドレイン拡張領域を置換することができる。その結果、オフ状態の漏電を減少することができる。

図 1 1



【特許請求の範囲】

【請求項1】サブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの製造方法であり、絶縁基板を提供する工程と、

2つの島状サブゲートを前記絶縁基板上に形成する工程と、

第1絶縁層を前記島状サブゲート及び前記絶縁基板上に形成する工程と、

第2絶縁層を前記第1絶縁層上に形成する工程と、前記第1絶縁層が露出するまで前記第2絶縁層を平坦化する工程と、

島状半導体層を前記第1及び第2絶縁層上に形成する工程と、

ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、

島状メインゲート層を前記ゲート誘電体層上に形成する工程と、

絶縁ライニングを前記島状メインゲート層の側壁に形成し、前記島状半導体層を前記絶縁側壁の両側に露出する工程と、

前記絶縁側壁の両側の前記島状半導体層上に、前記絶縁側壁の下方に存在する前記島状半導体層と共に、薄膜トランジスタのショットキーソース／ドレインとなるショットキーコンタクトを形成する金属含有置換層を形成する工程と、からなることを特徴とする方法。

【請求項2】絶縁基板を提供する工程と、

2つの島状サブゲート層を前記絶縁基板上に形成する工程と、

第1絶縁層を前記島状サブゲート層及び前記絶縁基板上に形成する工程と、

第2絶縁層を前記第1絶縁層上に形成する工程と、前記第2絶縁層を平坦化して前記第1絶縁層を露出させる工程と、

島状半導体層を前記第1及び第2絶縁層上に形成する工程と、

ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、

島状メインゲート層を前記ゲート誘電体層上に形成する工程と、

島状マスク層を形成して前記島状メインゲート層及び前記島状メインゲート層の両側に位置する前記ゲート誘電体層を被覆する工程と、

前記島状マスク層の両側に位置する前記ゲート誘電体層を除去して、前記島状半導体層を露出させる工程と、

前記島状マスク層の両側に位置する前記島状半導体層上に、前記島状マスク層の下方に存在する前記島状半導体層と共に、薄膜トランジスタのショットキーソース／ドレインとなるショットキーコンタクトを形成する金属含有置換層を形成する工程と、

からなることを特徴とする、サブゲートを備えた薄膜ト

ランジスタの製造方法。

【請求項3】金属層を前記メインゲート層、前記島状半導体層、及び前記絶縁ライニング上に形成する工程と、前記金属層及び前記島状半導体層に熱処理を施し反応させて前記置換層を形成する工程と、

反応して前記置換層とならなかった前記金属層を除去する工程と、

を特徴とする請求項2記載の方法。

【請求項4】前記島状マスク層はフォトレジスト層からなり、前記金属置換層の形成後に除去されることを特徴とする請求項2または3記載の方法。

【請求項5】絶縁基板を提供する工程と、

島状半導体層を前記絶縁基板上に形成する工程と、

第1絶縁層、第1導電層、及び第2絶縁層を、前記島状半導体層及び前記絶縁基板上に順に形成する工程と、

前記第2絶縁層及び前記第1導電層を所定パターンでエッチングして、2つのサブゲート積層を前記第1絶縁層及び前記島状半導体層上に形成する工程と、

絶縁ライニングを前記2つのサブゲート積層の側壁に形成する工程と、

前記第1絶縁層を除去して前記島状半導体層を露出させる工程と、

ゲート誘電体層を前記島状半導体層上に形成する工程と、

前記2つのサブゲート積層間に位置する前記ゲート誘電体層上のメインゲート層を所定パターンで形成する工程と、

金属含有置換層を前記島状絶縁ライニングの両側に位置する前記島状半導体層上に、前記島状絶縁ライニングの下方に存在する前記島状半導体層と共に、薄膜トランジスタのショットキーソース／ドレインとなるショットキーコンタクトを形成する金属含有置換層を形成する工程と、

からなることを特徴とする、サブゲートを備えた薄膜トランジスタの製造方法。

【請求項6】サブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの製造方法であり、絶縁基板を提供する工程と、

前記前記基板上に2つの島状半導体層を形成する工程と、

ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、

島状メインゲート層を前記ゲート誘電体層上に形成する工程と、

絶縁ライニングを前記島状メインゲート層の側壁に形成する工程と、

前記絶縁ライニングの両側に位置する前記ゲート誘電体層を除去して前記島状半導体層を露出させる工程と、

金属含有置換層を前記絶縁側壁の両側に位置する前記島状半導体層上に、前記絶縁側壁の下方に存在する前記島

状半導体層と共に薄膜トランジスタのショットキソース／ドレインとなるショットキーコンタクトを形成する金属含有置換層を形成する工程と、

反応して前記置換層を形成しなかった金属層を除去する工程と、

絶縁層を形成して前記メインゲート層、前記絶縁ライニング、及び前記ショットキソース／ドレインを被覆する工程と、

前記絶縁層を平坦化する工程と、

島状サブゲート層を前記メインゲート層上に形成し、前記島状サブゲート層の両端が前記ショットキソース／ドレインとそれぞれ重なる工程と、

からなることを特徴とする方法。

【請求項7】サブゲート及びショットキソース／ドレインを備えた薄膜トランジスタの製造方法であって、

絶縁基板を提供する工程と、

島状半導体層を前記絶縁基板上に形成する工程と、

ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、

島状メインゲート層を前記ゲート誘電体層上に形成する工程と、

絶縁層を形成して前記島状メインゲート層及び前記ゲート誘電体層を被覆する工程と、

前記絶縁層及び前記ゲート誘電体層を所定パターンでエッチングし、絶縁マスク層を形成して前記島状メインゲート層の第1部分およびゲート誘電体層の第1部分を覆い、そして、前記島状メインゲート層の第2部分の側壁およびゲート誘電体層の第2部分に絶縁ライニングを形成することにより、前記メインゲート層の第2部分及び前記島状半導体層を露出させる工程と、

前記絶縁ライニング下方の前記島状半導体層と共に、前記薄膜トランジスタのショットキソース／ドレインとなるショットキーコンタクトを形成する金属含有置換層を、前記絶縁ライニング及び前記絶縁マスク層の両側に位置する前記島状半導体層上に形成する工程と、

反応して前記置換層を形成しなかった金属層を除去する工程と、

前記メインゲート層、前記絶縁ライニング、前記絶縁マスク層、及び前記ショットキソース／ドレインを被覆する第2絶縁層を形成する工程と、

前記第2絶縁層を平坦化する工程と、

両端部分が前記ショットキソース／ドレインとそれぞれ重なる島状サブゲート層を前記メインゲート層上に形成する工程と、からなることを特徴とする薄膜トランジスタの製造方法。

【請求項8】前記置換層を形成する方法は、

金属層を前記メインゲート層、前記島状半導体層、及び前記絶縁ライニング上に形成する工程と、

前記金属層及び前記島状半導体層に熱処理を施し反応させて前記置換層を形成する工程と、

反応して前記置換層とならなかった前記金属層を除去する工程と、を特徴とする請求項1, 5, 6のいずれかに記載の方法。

【請求項9】前記島状半導体層はシリコン層であり、前記熱処理は温度範囲が450～650℃のラピッドアニーリング炉または温度範囲が200～500℃の加熱炉管で行うことを特徴とする請求項1～8のいずれかに記載の方法。

【請求項10】前記金属層の材料はTi、Co、Pt、Niから選ばれることを特徴とする請求項3, 4, 6, 7, 8, 9のいずれかに記載の方法。

【請求項11】前記置換層は非電気めっき法により得られることを特徴とする請求項1～10のいずれかに記載の方法。

【請求項12】金属塩が開始剤として用いられ、溶液中で溶けて非電気めっき法の反応溶液となり、前記反応溶液が前記半導体層の両側壁と反応して前記置換層を得ることを特徴とする請求項11に記載の方法。

【請求項13】前記開始剤の金属イオンは、 Ni^{2+} 、 Pd^{2+} 、 Pt^{2+} 、 Cu^{2+} 、 Ag^{+} 、 Au^{3+} 、 Co^{2+} から選ばれ、前記溶液はHF溶液、BOE、 $NH_4F + HF$ であることを特徴とする請求項12記載の方法。

【請求項14】前記半導体層はアモルファスシリコンからなり、前記開始剤は Ni^{2+} を含み、前記非電気めっき法の後、前記絶縁ライニング下方の前記島状半導体層及び島状メインゲート層が窒素または不活性ガスの環境下において温度範囲400～600℃で再結晶が行われることを特徴とする請求項12または13に記載の方法。

【請求項15】請求項1～14のいずれかに記載の方法により製造されることを特徴とする、サブゲート及びショットキソース／ドレインを備えた薄膜トランジスタ。

【請求項16】サブゲート及びショットキソース／ドレインを備えた薄膜トランジスタであって、絶縁基板上に形成され、それぞれサブゲート層と、前記サブゲート上に形成されるサブゲート誘電体層とからなる2つのサブゲート構造と、

前記2つのサブゲート構造上に形成され、前記薄膜トランジスタのチャンネル領域となる半導体薄膜層と、前記チャンネル領域の両側に形成され、前記チャンネル領域と共にショットキーコンタクトをそれぞれ形成する2つの金属含有ショットキソース／ドレイン領域と、前記チャンネル領域上に形成され、厚さが前記サブゲート誘電体層より小さいメインゲート誘電体層と、

前記メインゲート誘電体層の中央領域に形成されて、前記メインゲート層の両側に位置する前記メインゲート誘電体層を露出させ、下方の前記メインゲート誘電体層と共にメインゲート構造を形成するメインゲート層と、か

らなることを特徴とする薄膜トランジスタ。

【請求項17】サブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタであって、絶縁基板上に形成されて前記薄膜トランジスタのチャンネル領域となる半導体薄膜層と、

前記絶縁基板及び前記チャンネル領域の両側に形成され、前記チャンネル領域と共にショットキーコンタクトをそれぞれ形成する2つの金属含有ショットキーソース／ドレイン領域と、

前記2つのサブゲート構造間の前記チャンネル領域に形成され、厚さが前記サブゲート誘電体層より小さいメインゲート誘電体層と、

前記メインゲート誘電体層上に形成され、前記サブゲート層と互いに隔離するメインゲート層と、からなることを特徴とする薄膜トランジスタ。

【請求項18】サブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタであって、絶縁基板上に形成されて前記薄膜トランジスタのチャンネル領域となる半導体薄膜層と、

前記絶縁基板及び前記チャンネル領域の両側に形成され、前記チャンネル領域と共にショットキーコンタクトをそれぞれ形成する2つの金属含有ショットキーソース／ドレイン領域と、

前記チャンネル領域に形成されるメインゲート誘電体層と、

前記メインゲート誘電体層の中央領域に形成されて両側に位置する前記メインゲート酸化層を露出させ、下方の前記メインゲート誘電体層と共にメインゲート構造を形成するメインゲート層と、

前記ショットキーソース／ドレイン領域及び前記メインゲート構造上に形成される平坦化した絶縁層と、

前記絶縁層上に形成され、前記メインゲート構造上に位置し、両端が前記ショットキーソース／ドレイン領域とそれぞれ重なる島状サブゲート層と、

からなることを特徴とする薄膜トランジスタ。

【請求項19】サブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタであって、絶縁基板上に形成されて前記薄膜トランジスタのチャンネル領域となる半導体薄膜層と、

前記絶縁基板及び前記チャンネル領域の両側に形成され、前記チャンネル領域と共にショットキーコンタクトをそれぞれ形成する2つの金属含有ショットキーソース／ドレイン領域と、

前記チャンネル領域に形成されるメインゲート誘電体層と、

前記メインゲート誘電体層の中央領域に形成され、下方の前記メインゲート誘電体層と共にメインゲート構造を形成するメインゲート層と、

前記メインゲート層の第1部分及び前記メインゲート層の第1部分の側辺に位置する前記メインゲート誘電体層

を被覆する絶縁マスクと、

前記メインゲート層の第2部分の側壁及び前記メインゲート層の第2部分の隣の前記メインゲート誘電体層に位置する絶縁ライニングと、

前記ショットキーソース／ドレイン、前記絶縁ライニング、前記絶縁マスク、及び前記メインゲート構造上に形成される平坦化した絶縁層と、

前記絶縁層上に形成され、前記メインゲート構造上に位置し、両端が前記2つのショットキーソース／ドレイン領域とそれぞれ重なる島状サブゲート層と、からなることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ及びその製造方法に関するものであり、特にサブゲート(sub-gate)及びショットキーソース／ドレインを備えた薄膜トランジスタ並びにその製造方法に関するものである。

【0002】

【従来の技術】図1は、従来の薄膜トランジスタを示す構造図である。図1において、10はガラス基板または石英基板を示し、12はポリシリコンなどの半導体層を示し、14は半導体層12中に形成され薄膜トランジスタのソース／ドレインとなるドーピング領域(doping area)を示し、16はゲート酸化層(gate oxide layer)を、18はゲートを示す。

【0003】従来の薄膜トランジスタ1には以下の欠点があった。1注入ドーピングとそれに続くアニーリングを行わなければならないため、工程の温度を低くするのに不利である。2ソース／ドレイン中のドーパントの種類により、薄膜トランジスタの動作モードがn型またはp型に限定されるため、使用上互換することができない。

【0004】図2の曲線aは従来の薄膜NMOSトランジスタのゲート電圧(V_G)に対するドレイン電流(I_D)の特性を示している。図2から、ゲート電圧が負のときドレイン電流は漏電を生じていることが分かる。これは、負のゲート電圧を印加したときにドレインとゲートとの間に生じた強電界(strong field)並びに半導体12中の粒界トラップ(grain boundary trap)により生じたオフ状態の漏電が原因となっている。

【0005】

【発明が解決しようとする課題】本発明は、サブゲート及びショットキーソース／ドレインを備えた新規の薄膜トランジスタの製造方法を提供することを目的とする。また、本発明は、ソース／ドレインの注入ドーピングとそれに続くアニーリングを省略して複雑度と製造コストを低くできるとともに、工程の温度を低くすることも目的とする。さらに本発明は、サブゲート及びショットキーソース／ドレインを備えた新規の薄膜トランジスタを

提供することを他の目的とする。さらにまた、本発明は、サブゲートのバイアス電圧を調整するだけでn型チャネル及びp型チャネルの両モードで動作することができるトランジスタ素子を提供することも目的とする。

【0006】さらに、本発明は、サブゲートに電圧を印加して電気接合 (electrical junction) を形成し、従来のソース/ドレイン拡張部 (source/drain extension) と代替し、オフ状態の漏電を減少することができるトランジスタ素子を提供することを目的とする。

【0007】

【課題を解決するための手段】 上述の目的を達成するため、本発明はサブゲート及びショットキーソースドレインを備えた薄膜トランジスタを形成する第1の製造方法を開示する。本方法は、(a) 絶縁基板を提供する工程と、(b) 2つの島状サブゲート層 (island-shaped sub-gate layer) を前記絶縁基板上に形成する工程と、

(c) 第1絶縁層を前記島状サブゲート層及び前記絶縁層上に形成する工程と、(d) 第2絶縁層を前記第1絶縁層上に形成する工程と、(e) 前記第2絶縁層を平坦化して前記第1絶縁層を露出させる工程と、(f) 島状半導体層を前記第1絶縁層及び前記第2絶縁層上に形成する工程と、(g) ゲート誘電体層 (gate dielectric layer) を前記島状半導体層の表面上に形成する工程と、(h) 島状メインゲート層 (island-shaped main gate layer) を前記ゲート誘電体層上に形成する工程と、(i) 絶縁ライニング (insulation lining) を前記島状メインゲート層の側壁に形成し、前記絶縁側壁の両側に前記島状半導体層を露出させる工程と、(j) 金属含有置換層 (metal-containing replacing layer) を前記絶縁側壁の両側の前記島状半導体層上に形成する工程とからなり、そのうち前記置換層と前記絶縁側壁下に存在する前記島状半導体層は、薄膜トランジスタのショットキーソース/ドレインとなるショットキーコンタクト (Schottky contact) を形成する。

【0008】 上述の目的を達成するため、本発明はサブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタを形成する第2の製造方法を開示する。本方法は、(a) 絶縁基板を提供する工程と、(b) 2つの島状サブゲート層を前記絶縁基板上に形成する工程と、(c) 第1絶縁層を前記島状サブゲート層及び前記絶縁層上に形成する工程と、(d) 第2絶縁層を前記第1絶縁層上に形成する工程と、(e) 前記第2絶縁層を平坦化して前記第1絶縁層を露出させる工程と、(f) 島状半導体層を前記第1絶縁層及び前記第2絶縁層上に形成する工程と、(g) ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、(h) 島状メインゲート層 (island-shaped main gate layer) を前記ゲート誘電体層上に形成する工程と、(i) 島状マスク層 (island-shaped mask layer) を形成して前記島状メインゲート層及び前記島状メインゲート層の両側に位置する前

記ゲート誘電体層を被覆する工程と、(j) 前記島状マスク層の両側に位置する前記ゲート誘電体層を除去して、前記島状半導体層を露出させる工程と、(k) 金属含有置換層を前記島状マスク層の両側に位置する前記島状半導体層上に形成する工程とからなり、そのうち、前記置換層及び前記島状マスク層下に存在する前記島状半導体層は、薄膜トランジスタのショットキーソース/ドレインとなるショットキーコンタクトを形成する。

【0009】 上述の目的を達成するために、本発明はサブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタを形成する第3の製造方法を開示する。本方法は、(a) 絶縁基板を提供する工程と、(b) 島状半導体層を前記絶縁基板上に形成する工程と、(c) 第1絶縁層、第1導電層、及び第2絶縁層を順に前記島状半導体層及び前記絶縁層上に形成する工程と、(d) 前記第2絶縁層及び前記第1導電層を所定パターンでエッチングして、2つのサブゲート積層 (sub-gate stack layer) を前記第1絶縁層及び前記島状半導体層上に形成する工程と、(e) 絶縁ライニングを前記2つのサブゲート積層の側壁に形成する工程と、(f) 前記第1絶縁層を除去して、前記島状半導体層を露出させる工程と、(g) ゲート誘電体層を前記島状半導体層上に形成する工程と、(h) メインゲート層を前記2つのサブゲート積層間の前記ゲート誘電体層上に所定パターンで形成する工程と、(i) 前記メインゲート層及び前記2つのサブゲート積層に被覆されない前記ゲート誘電体層を除去して、前記島状半導体層を露出させる工程と、

(j) 金属含有置換層を前記島状絶縁ライニングの両側に位置する前記島状半導体層上に形成する工程とからなり、そのうち、前記置換層及び前記島状絶縁ライニング下に存在する前記島状半導体層は、薄膜トランジスタのショットキーソース/ドレインとなるショットキーコンタクトを形成する。

【0010】 上述の目的を達成するため、本発明はサブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタを形成する第4の製造方法を開示する。本方法は、(a) 絶縁基板を提供する工程と、(b) 2つの島状半導体層を前記絶縁基板上に形成する工程と、

(c) ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、(d) 島状メインゲート層を前記ゲート誘電体層上に形成する工程と (e) 絶縁ライニングを前記島状メインゲート層の両壁に形成する工程と、(f) 前記絶縁ライニングの両側の前記ゲート誘電体層を除去して前記島状半導体層を露出させる工程と、(g) 金属含有置換層を前記絶縁側壁の両側に位置する前記島状半導体層上に形成し、そのうち、前記置換層及び前記絶縁側壁下に存在する前記島状半導体層は、薄膜トランジスタのショットキーソース/ドレインとなるショットキーコンタクトを形成する工程と、(h) 反応して置換層とならない金属層を除去する工程と、(i) 絶縁層を形成

して前記島状メインゲート層、前記絶縁ライニング、前記ショットキーソース／ドレインを被覆する工程と、

(j) 前記絶縁層を平坦化する工程と、(k) 島状サブゲート層を前記メインゲート層上に形成し、前記島状サブゲート層の両端が前記ショットキーソース／ドレインとそれぞれ重なる工程とからなる。

【0011】上述の目的を達成するため、本発明はサブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタを形成する第5の製造方法を開示する。本方法は、(a) 絶縁基板を提供する工程と、(b) 島状半導体層を前記絶縁基板上に形成する工程と、(c) ゲート誘電体層を前記島状半導体層の表面上に形成する工程と、(d) 島状メインゲート層を前記ゲート誘電体層上に形成する工程と、(e) 絶縁層を形成して前記島状メインゲート層及び前記ゲート誘電体層を被覆する工程と、(f) 前記絶縁層及びゲート誘電体層を所定パターンでエッチングして、前記島状メインゲート層の第1部分及び前記ゲート誘電体層を被覆する絶縁マスク層 (insulation mask layer) と、前記島状メインゲート層の第2部分の側壁及び前記ゲート誘電体層に絶縁ライニングを形成することにより、前記メインゲート層の第2部分を露出させる工程と、(g) 金属含有置換層を前記絶縁ライニング及び前記絶縁マスク層の両側に位置する前記島状半導体層上に形成し、そのうち、前記金属含有置換層及び前記絶縁ライニング下に存在する前記島状半導体層は、薄膜トランジスタのショットキーソース／ドレインとなるショットキーコンタクトを形成する工程と、(h) 反応して置換層とならない前記金属層を除去する工程と、(i) 前記メインゲート層、前記絶縁ライニング、前記絶縁マスク層、及び前記ショットキーソース／ドレインを被覆する第2絶縁層を形成する工程と、

(j) 前記第2絶縁層を平坦化する工程と、(k) 島状サブゲート層を前記メインゲート層上に形成し、前記島状サブゲート層の両端が前記ショットキーソース／ドレインとそれぞれ重なる工程とからなる。

【0012】本発明のサブゲートとショットキーソース／ドレインとを備えた薄膜トランジスタの第1の構造は、(1) サブゲート層とサブゲート層上に形成されるサブゲート誘電体層とからなり絶縁基板上に形成される2つのサブゲート構造と、(2) 2つのサブゲート構造上に形成され、薄膜トランジスタのチャンネル領域 (channel region) となる半導体薄膜層と、(3) チャンネル領域の両側に形成され、チャンネル領域を有するショットキーコンタクトを形成する2つの金属含有ショットキーソース／ドレイン領域と、(4) チャンネル領域に形成され、厚さがサブゲート誘電体層より小さいメインゲート誘電体層と、(5) メインゲート誘電体層の中央領域に形成されて両側に位置するメインゲート誘電体層を露出させ、下方に位置するメインゲート誘電体層と共にメインゲート構造を形成するメインゲート層と、からなる。

【0013】本発明のサブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの第2の構造は、(1) 絶縁基板上に形成されて薄膜トランジスタのチャンネル領域となる半導体薄膜層と、(2) 絶縁基板の両側とチャンネル領域に形成され、チャンネル領域を備えたショットキーコンタクトを形成する、2つの金属含有ショットキーソース／ドレイン領域と、(3) サブゲート誘電体層とサブゲート誘電体層上に形成されるサブゲート層とからなりチャンネル領域に形成される2つのサブゲート構造と、(4) 2つのサブゲート構造間のチャンネル領域に形成されるメインゲート誘電体層と、(5) サブゲート層と互いに隔離しメインゲート誘電体層上に形成されるメインゲート層と、からなる。

【0014】本発明のサブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの第3の構造は、(1) 絶縁基板上に形成されて薄膜トランジスタのチャンネル領域となる半導体薄膜層と、(2) 絶縁基板の両側とチャンネル領域に形成され、チャンネル領域を備えたショットキーコンタクトを形成する、2つの金属含有ショットキーソース／ドレイン領域と、(3) チャンネル領域に形成されるメインゲート誘電体層と、(4) メインゲート誘電体層の中央領域に形成されて両側に位置するメインゲート酸化層を露出させ、下方のメインゲート誘電体層と共にメインゲート構造を形成するメインゲート層と、(5) ショットキーソース／ドレイン領域とメインゲート構造上に形成される平坦化した絶縁層と、

(6) 絶縁層上に形成され、メインゲート構造上に位置し、両端が2つのショットキーソース／ドレイン領域とそれぞれ重なっている島状サブゲート層と、からなる。

【0015】本発明のサブゲートとショットキーソース／ドレインとを備えた薄膜トランジスタの第4の構造は、(1) 絶縁基板上に形成されて薄膜トランジスタのチャンネル領域となる半導体薄膜層と、(2) 絶縁基板上とチャンネル領域の両側に形成され、チャンネル領域を備えたショットキーコンタクトを形成する、2つの金属含有ショットキーソース／ドレイン領域と、(3) チャンネル領域に形成されるメインゲート誘電体層と、(4) ゲート誘電体層の中央領域に形成され下方のメイン誘電体層と共にメインゲート構造を形成するメインゲート層と、

(5) メインゲート層の第1部分とメインゲート層の第1部分の側辺に位置するメインゲート誘電体層とを被覆する絶縁マスクと、(6) メインゲート層の第2部分の側壁及びメインゲート層の第2部分の隣にあるメインゲート誘電体層に形成される絶縁ライニングと、(7) ショットキーソース／ドレイン領域、絶縁ライニング、絶縁マスク、及びメインゲート構造上に形成される平坦化した絶縁層と、(8) 絶縁層上に形成され、メインゲート構造上に位置し、両端が2つのショットキーソース／ドレイン領域とそれぞれ重なる島状サブゲート層と、からなる。

【0016】

【発明の実施の形態】 上述した本発明の目的、特徴、及び長所をより一層明瞭にするため、以下に本発明の好ましい実施の形態を挙げ、図を参照にしながらさらに詳しく説明する。

【0017】 第1実施例

図3～図11は、本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【0018】 まず、 SiO_2 または石英からなる絶縁基板30を提供する。それから、第1導電層を絶縁基板30上に形成する。図3に示されるように、第1導電層はリソグラフィーにより所定パターンでエッチングされて、2つの島状サブゲート層31を絶縁基板30上に形成する。第1導電層は、CVD法により形成された金属または高ドーパされたポリシリコンから選ばれる材料からなり、厚さは30～200 nmである。

【0019】 図4で示されるように、第1絶縁層32を、島状サブゲート層及び絶縁基板30の上に、それらの形状に合わせて (conformally) 形成する。第1絶縁層32は、CVD法により形成された厚さが30～200 nmの窒化ケイ素層である。

【0020】 図5で示されるように、第2絶縁層33を第1絶縁層32上に形成し、CMP法により表面を平坦化する。第2絶縁層33は、例えばCVD法により形成される厚さが30～1000 nmの酸化層である。それから、図6で示されるように、第2絶縁層33をBOE溶液でエッチバックし、あるいはCMP法により平坦化して第1絶縁層32を露出させる。

【0021】 さらに、図6で示されるように、第2絶縁層33の形成後、CMP法により第2絶縁層を十分に平坦化して第1絶縁層32を露出させる。

【0022】 次に、図7で示されるように、半導体層を、第1絶縁層32および第2絶縁層33上に形成し、ホトリソグラフィーにより所定パターンでエッチングして島状半導体層34を形成する。島状半導体層34の厚さは、10～200 nmであり、アモルファスシリコンまたはポリシリコンから選ばれる。

【0023】 それから、図8で示されるように、熱酸化または蒸着を施してゲート誘電体層35を島状半導体層34の表面上に形成する。

【0024】 続いて、図9で示されるように、第2導電層をゲート誘電体層35及び第2絶縁層33上に蒸着する。そして、リソグラフィーにより所定パターンで第2導電層をエッチングして、島状メインゲート層36を形成する。島状メインゲート層の両端は2つの島状サブゲート層31状の部分領域とそれぞれ重なる。第2導電層は、PVD法またはCVD法により形成された金属層または高ドーパされたポリシリコンから選ばれる材料で構成してある。島状メインゲート層36が金属ゲートである場合、誘電体層をその上に蒸着してゲートを誘電体層

／金属の積層 (stacking layer) としなければならない。誘電体層は、厚さが20～100 nmの酸化ケイ素またはケイ素である。誘電体層は、その下の金属層を後のウェットエッチングにより生じる損傷から保護するのに用いられる。

【0025】 次に、図10で示されるように、CVD法により誘電体層 (酸化層または窒化ケイ素層など) を蒸着し、エッチングバックによりライニング (lining) 37を島状メインゲート層36の側壁に形成する。誘電体層のエッチング工程では、ライニング37の両側に位置するゲート誘電体層35もエッチングして島状半導体層34を露出させる。

【0026】 金属層 (Ti、Co、Pt、Niなど) はPVD法によってメインゲート層36、島状半導体層34、及び絶縁ライニング37上に形成される。

【0027】 それから、温度範囲が450～650℃のRTA (ラピッドアニーリング) 法により、あるいは温度範囲が200～500℃の加熱炉管 (hot stove pipe) において、金属層は島状半導体層34中のケイ素元素と反応してケイ化物層38a、38bを形成する。次に、図11で示されるように、選択的ウェットエッチング (selective wet etching) を施して金属層を除去する。

【0028】 ケイ化物層38a、38b間の島状半導体層34は、薄膜トランジスタのチャネル領域ch1として用いられる。ケイ化物層38a、38b、及びチャネル領域ch1はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース／ドレインとなる。

【0029】 第2実施例

図12で示されるように、図3～図10に示す工程の後、電気化学置換法 (非電気めっき法 (non-electrical plating)) により、絶縁ライニング37の両側に位置する島状半導体層34中のケイ素を金属 (Ni、Cu、Pd、Pt、Cu、Ag、Au、Coなど) に置換して金属置換層40a、40bを形成する。

【0030】 金属置換層40a、40b間の島状半導体層34は薄膜トランジスタのチャネル領域ch2として用いられる。金属置換層40a、40b、及びチャネル領域ch2はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース／ドレインとなる。

【0031】 本実施例では、 NiSO_4 、 PdCl_2 、 K_2PtCl_4 、 CuSO_4 、 AgSO_4 、 KAuCl_4 、 CoSO_4 などの金属塩を開始剤として用いることができる。この開始剤をHF溶液中 (またはBOE、 $\text{NH}_4\text{F} + \text{HF}$) に溶かして反応溶液とし、置換しようとするシリコンウェハーと反応させて非電気めっき法を完成する。

【0032】 さらに、本実施例においてch2がアモル

ファスシリコンで、置換金属がNiである場合、窒素または不活性ガスの環境下において400～600℃の温度範囲でチャネル領域ch2のアモルファスシリコンを再結晶することにより、チャネル領域ch2をポリシリコン層に変えることができる。このことは、薄膜トランジスタの駆動力を高めることができる。図12で示される矢印は再結晶の方向を示している。

【0033】第3実施例

図3～図9で示される工程の後、島状マスク層50（本実施例ではフォトリソ層を用いる）を形成して島状メインゲート層36及び島状メインゲート層36の両側に位置するゲート誘電体層35を被覆する。

【0034】続いて、図13で示されるように、島状マスク層50の両側に位置するゲート誘電体層35を除去して島状半導体層34を露出させる。

【0035】次に、図14で示されるように、電気化学置換法（非電気めっき法など）を施して島状マスク層50の両側に位置する島状半導体層34中のケイ素を金属（Ni、Cu、Pd、Pt、Cu、Ag、Au、Coなど）に置換して金属置換層52a、52bを形成する。

【0036】金属置換層52a、52b間の島状半導体層34は薄膜トランジスタのチャネル領域ch3として用いられる。金属置換層52a、52b、及びチャネル領域ch3はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース/ドレインとなる。

【0037】同様に、本実施例ではNiSO₄、PdCl₂、K₂PtCl₄、CuSO₄、AgSO₄、KAuCl₄、CoSO₄などの金属塩を開始剤として用いることができる。この開始剤をHF溶液中（またはBOE、NH₄F+HF）に溶かして反応溶液とし、置換しようとするシリコンウェハーと反応させて非電気めっき法を完成する。

【0038】最後に、図15で示されるように、島状マスク層50を有機溶剤で除去する。同様に、本実施例においてch3がアモルファスシリコンで、置換金属がNiである場合、窒素または不活性ガスの環境下において400～600℃の温度範囲でチャネル領域ch3のアモルファスシリコンを再結晶することにより、チャネル領域ch3をポリシリコン層に変えることができる。このことにより、薄膜トランジスタの駆動力を高めることができる。図15で示される矢印は再結晶の方向を示している。

【0039】第4実施例

図16～23は本発明の第4実施例の工程の断面図を示す。

【0040】まず、SiO₂または石英からなる絶縁基板60を提供する。次に、薄い半導体層を絶縁基板60上に形成する。それから、図16で示されるように、この半導体層を所定パターンでエッチングして島状半導体

層61を絶縁基板上に形成する。この薄い半導体層の厚さは10～200nmの範囲内であり、材料は単結晶シリコン、アモルファスシリコン、ポリシリコンから選ばれる。

【0041】図17で示されるように、第1絶縁層62、第1導電層63、及び第2絶縁層64を島状半導体層61及び絶縁基板60上に順に形成する。第1絶縁層62はCVD法により形成された厚さ1～100nmの酸化ケイ素層である。第1導電層63は金属層またはCVD法により高ドーピングされた厚さ30～200nmのポリシリコンである。第2絶縁層64はCVD法により形成された厚さ30～100nmの酸化層である。

【0042】図18で示されるように、第2絶縁層64及び第2導電層63を所定パターンでエッチングして2つのサブゲート積層（sub-gate stacking layer）G_{sub}を第1絶縁層62及び島状半導体層61上に形成する。

【0043】続いて、厚さ30～200nmの酸化層を2つのサブゲート積層G_{sub}上及びその側壁に蒸着する。そして、図19で示されるように、この酸化層にプラズマで異方性エッチングを施して2つのサブゲート積層G_{sub}の側壁にライニング65を形成する。

【0044】それから、図20で示されるように、第1絶縁層62をプラズマエッチングまたはH₃PO₄で除去して島状半導体層61を露出させる。

【0045】図21で示されるように、ゲート誘電体層66（本実施例では酸化層）を熱酸化または蒸着により島状半導体層61の表面上に形成する。

【0046】第2導電層をゲート誘電体層66、サブゲート積層G_{sub}、ライニング65、及び島状半導体層61上に蒸着する。第2導電層はCVD法により形成された高ドーピングされたポリシリコンからなる。

【0047】それから、図22で示されるように、第2導電層をリソグラフィーによりエッチングして、メインゲート層G_{pri}を2つのサブゲート積層G_{sub}間にあるゲート誘電層上に形成する。次に、メインゲート層に被覆されないゲート誘電体層66及びサブゲート積層G_{sub}をHF溶液で除去する。

【0048】続いて、PVD法により金属層（Ti、Co、Pt、Niなど）をメインゲート層G_{pri}、島状半導体層61、及び絶縁ライニング65上に形成する。

【0049】それから、温度範囲が450～650℃のRTA法により金属層を島状半導体層61及びメインゲート層G_{pri}中のケイ素（7a、67b、及び68を）

示されるように、ケイ素とb
ットエッチングにより除去する。

【0050】ケイ化物層67a、67b間に位置する島状半導体層61は薄膜トランジスタのチャネル領域ch4として用いられる。ケイ化物層67a、67b、及び

チャネル領域c h 4はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース/ドレインとなる。

【0051】第5実施例

図16～図22で示される工程の後、図24で示されるように、電気化学置換法（非電気めっき法など）を施して、絶縁ライニング37の両側に位置する島状半導体層61及びメインゲート層G_{p r i}中のケイ素を金属（Ni、Cu、Pd、Pt、Cu、Ag、Au、Coなど）に置換して金属置換層70a、70bを形成する。

【0052】金属置換層70a、70b間に位置する島状半導体層61は薄膜トランジスタのチャネル領域c h 5として用いられる。金属置換層70a、70b、及びチャネル領域c h 5はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース/ドレインとなる。

【0053】同様に、本実施例ではNiSO₄、PdCl₂、K₂PtCl₄、CuSO₄、AgSO₄、KAuCl₄、CoSO₄などの金属塩を開始剤として用いることができる。この開始剤をHF溶液中（またはBOE、NH₄F+HF）に溶かして反応溶液とし、置換しようとするシリコンウェハーと反応させて非電気めっき法を完成する。

【0054】本実施例において、チャネル領域c h 5がアモルファスシリコンで、置換金属がNiである場合、窒素または不活性ガスの環境下において400～600℃の温度範囲でチャネル領域c h 5のアモルファスシリコンを再結晶することにより、チャネル領域c h 5をポリシリコン層に変えることができる。このことにより、薄膜トランジスタの駆動力を高めることができる。図24で示される矢印は再結晶の方向を示している。

【0055】第6実施例

図25～31は本発明の第6実施例の工程の断面図を示す。まず、SiO₂または石英からなる絶縁基板80を提供する。次に、薄半導体層（thin semiconductor layer）を絶縁基板80上に形成する。それから、図25で示されるように、この半導体層を所定パターンでエッチングして島状半導体層61を絶縁基板上に形成する。この薄半導体層の厚さは10～200nmの範囲内であり、材料は単結晶シリコン、アモルファスシリコン、ポリシリコンから選ばれる。

【0056】図26で示されるように、ゲート誘電体層82を熱酸化またはCVD法により島状半導体層61の表面上に形成する。本実施例においてゲート誘電体層82は酸化層である。

【0057】次に、図27で示されるように、第1導電層をゲート誘電体層82上に形成し、リソグラフィーによりエッチングして島状メインゲート83を形成する。第1導電層はPVD法またはCVD法により形成された金属層あるいは高ドーパされたポリシリコンからなる。

島状メインゲート層83が金属ゲートである場合、誘電体層をその上に蒸着してゲートを誘電体層/金属積層としなければならない。誘電体層は厚さが20～100nmの酸化ケイ素または窒化ケイ素である。誘電体層は、その下の金属層を後のウェットエッチングにより生じる損傷から保護するのに用いられる。

【0058】次に、図28で示されるように、誘電体層（酸化層、窒化ケイ素層など）をCVD法により蒸着して、所定パターンでエッチングすることによりライニング84を島状メインゲート層83の側壁に形成する。誘電体層のエッチング工程では、ライニング37の両側に位置するゲート誘電体層82も除去して島状半導体層81を露出させる。

【0059】続いて、PVD法により金属層（Ti、Co、Pt、Niなど）をメインゲート層83、島状半導体層81、及び絶縁ライニング83上に形成する。

【0060】それから、温度範囲が450～650℃のRTA法により金属層を島状半導体層81中のケイ素と反応させて、ケイ化物層85a、85bを形成する。そして、図29で示されるように、ケイ素と反応しなかった金属層をウェットエッチングにより除去する。

【0061】ケイ化物層85a、85b間に位置する島状半導体層81は薄膜トランジスタのチャネル領域c h 6として用いられる。ケイ化物層85a、85b、及びチャネル領域c h 6はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース/ドレインとなる。

【0062】次に、厚さ300～1000nmの絶縁層87を形成してメインゲート層83、絶縁ライニング84、及びショットキーソース/ドレイン（85a、85b）を被覆する。それから、図30で示されるように、絶縁層87を平坦化する。絶縁層87はCVDにより形成された酸化層からなる。

【0063】続いて、金属層などの第2導電層を絶縁層87上に形成する。そして、図31で示されるように、リソグラフィーにより第2導電層を所定パターンでエッチングして、島状サブゲート層88を絶縁層87上に形成する。島状サブゲート層88の両端は、絶縁層87の両側に位置するショットキーソースドレイン（85a、85b）とそれぞれ重なっている。

【0064】第7実施例

図25～図28で示される工程の後、図32で示されるように、電気化学置換法（非電気めっき法など）を施して、絶縁ライニング84の両側に位置する島状半導体層81中のケイ素を金属（Ni、Cu、Pd、Pt、Cu、Ag、Au、Coなど）に置換して金属置換層90a、90bを形成する。

【0065】金属置換層90a、90b間に位置する島状半導体層81は薄膜トランジスタのチャネル領域c h 7として用いられる。金属置換層90a、90b、及び

チャネル領域ch7はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース/ドレインとなる。

【0066】同様に、本実施例ではNiSO₄、PdCl₂、K₂PtCl₄、CuSO₄、AgSO₄、KAuCl₄、CoSO₄などの金属塩を開始剤として用いることができる。この開始剤をHF溶液中（またはBOE、NH₄F+HF）に溶かして反応溶液とし、置換しようとするシリコンウェハーと反応させて非電気めっき法を完成する。

【0067】本実施例において、チャネル領域ch7がアモルファスシリコンで、置換金属がNiである場合、窒素または不活性ガスの環境下において400～600℃の温度範囲でチャネル領域ch7のアモルファスシリコンを再結晶することにより、チャネル領域ch7をポリシリコン層に変えることができる。このことにより、薄膜トランジスタの駆動力を高めることができる。図32で示される矢印は再結晶の方向を示している。

【0068】次に、厚さ300～1000nmの絶縁層87を形成してメインゲート層83、絶縁ライニング84、及びショットキーソース/ドレイン（90a、90b）を被覆する。それから、図33で示されるように、絶縁層87を平坦化する。

【0069】続いて、金属層などの第2導電層を絶縁層87上に形成する。そして、図34で示されるように、リソグラフィーにより第2導電層を所定パターンでエッチングして、島状サブゲート層88を絶縁層87上に形成する。島状サブゲート層88の両端は、絶縁層87の両側に位置するショットキーソースドレイン（90a、90b）とそれぞれ重なっている。

【0070】第8実施例

図35～図41は本発明の第8実施例の工程の断面図を示す。まず、SiO₂または石英からなる絶縁基板100を提供する。次に、薄い半導体層を絶縁基板100上に形成する。それから、図35で示されるように、この半導体層を所定パターンでエッチングして島状半導体層101を絶縁基板上に形成する。この薄い半導体層の厚さは10～200nmの範囲内であり、材料は単結晶シリコン、アモルファスシリコン、ポリシリコンから選ばれる。

【0071】図36で示されるように、ゲート誘電体層102を熱酸化またはCVD法により島状半導体層101の表面上に形成する。本実施例においてゲート誘電体層102は酸化層である。

【0072】次に、図37で示されるように、第1導電層をゲート誘電体層102上に形成し、リソグラフィーによりエッチングして島状メインゲート103を形成する。第1導電層はPVD法またはCVD法により形成された金属層あるいは高ドーパされたポリシリコンからなる。島状メインゲート層103が金属ゲートである場

合、誘電体層をその上に蒸着してゲートを誘電体層/金属積層としなければならない。誘電体層は厚さが20～100nmの酸化ケイ素または窒化ケイ素である。誘電体層は、その下の金属層を後のウェットエッチングにより生じる損傷から保護するのに用いられる。

【0073】次に、図38で示されるように、CVD酸化層などの第1絶縁層を形成し、リソグラフィーによりフォトレジスト層105をCVD酸化層104上に形成する。

【0074】フォトレジスト層105はマスクとして用いられ、CVD酸化層104及びゲート酸化層102をエッチングして絶縁マスク層104aを島状メインゲート層103の第1部分に形成する。同時に、絶縁ライニング104bを島状メインゲート層103の第2部分に形成する。これにより、図39で示されるように、メインゲート層の第2部分及び島状半導体層101を露出する。ここで、島状メインゲート層103の側面に位置する長さxのゲート酸化層102は絶縁マスク層104aに被覆されることに注意しなければならない。

【0075】続いて、PVD法により金属層（Ti、Co、Pt、Niなど）をメインゲート層103、島状半導体層101、絶縁マスク層104a、及び絶縁ライニング104b上に形成する。

【0076】それから、温度範囲が450～650℃のRTA法により金属層を島状半導体層101中のケイ素と反応させて、ケイ化物層105a、105bを形成する。そして、図140で示されるように、ケイ素と反応しなかった金属層をウェットエッチングにより選択的に除去する。

【0077】ケイ化物層105a、105b間に位置する島状半導体層101は薄膜トランジスタのチャネル領域ch8として用いられる。ケイ化物層105a、105b、及びチャネル領域ch8はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース/ドレインとなる。

【0078】次に、厚さ300～1000nmの第2絶縁層107を形成してメインゲート層103、絶縁ライニング104a、104b、及びショットキーソース/ドレイン（105a、105b）を被覆し、絶縁層107を平坦化する。絶縁層107はCVDにより形成された酸化層からなる。

【0079】続いて、金属層などの第2導電層を絶縁層107上に形成する。そして、図41で示されるように、リソグラフィーにより第2導電層を所定パターンでエッチングして、島状サブゲート層108を絶縁層107上に形成する。島状サブゲート層108の両端は、絶縁ライニング104b及び絶縁マスク104aの両側に位置するショットキーソースドレイン（105a、105b）とそれぞれ重なっている。

【0080】第9実施例

図35～39で示される工程の後、図42で示されるように、電気化学置換法（非電気めっき法など）を施して、絶縁ライニング104b及び絶縁マスク104aの両側に位置する島状半導体層101中のケイ素を金属（Ni、Cu、Pd、Pt、Cu、Ag、Au、Coなど）に置換して金属置換層110a、110bを形成する。

【0081】金属置換層110a、110b間に位置する島状半導体層101は薄膜トランジスタのチャネル領域ch9として用いられる。金属置換層110a、110b、及びチャネル領域ch9はショットキーコンタクトを形成し、このショットキーコンタクトは薄膜トランジスタのショットキーソース／ドレインとなる。

【0082】本実施例では、NiSO₄、PdCl₂、K₂PtCl₄、CuSO₄、AgSO₄、KAuCl₄、CoSO₄などの金属塩を開始剤として用いることができる。この開始剤をHF溶液中（またはBOE、NH₄F+HF）に溶かして反応溶液とし、置換しようとするシリコンウェハーと反応させて非電気めっき法を完成する。

【0083】本実施例においてチャネル領域ch9がアモルファスシリコンで、置換金属がNiである場合、空素または不活性ガスの環境下において400～600℃の温度範囲でチャネル領域ch9のアモルファスシリコンを再結晶することにより、チャネル領域ch9をポリシリコン層に変えることができる。このことにより、薄膜トランジスタの駆動力を高めることができる。図42で示される矢印は再結晶の方向を示している。

【0084】次に、厚さ300～1000nmの絶縁層112を形成してメインゲート層103、絶縁ライニング104b、絶縁マスク104a、及びショットキーソース／ドレイン（110a、110b）を被覆し、絶縁層112を平坦化する。

【0085】続いて、金属層などの第2導電層を絶縁層112上に形成する。そして、図43で示されるように、リソグラフィにより第2導電層を所定パターンでエッチングして、島状サブゲート層114を絶縁層112上に形成する。島状サブゲート層114の両端は、絶縁ライニング104b及び絶縁マスク104aの両側に位置するショットキーソースドレイン（110a、110b）とそれぞれ重なっている。

【0086】以下に述べるように、上述した9通りの実施例により製造される薄膜トランジスタは主に4種類ある。

【0087】第1、第2、第3実施例により製造されるサブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの構造は、図11、図12、図15で示される。

【0088】各トランジスタは、絶縁構造（30）上に形成され、サブゲート層（31）と、サブゲート層（3

1）上に形成される第1絶縁層32（サブゲート誘電体層として用いられる）とからなる2つのサブゲート構造と、2つのサブゲート構造上に形成され、薄膜トランジスタのチャネル領域（ch1、ch2、ch3）となる半導体薄膜層（31）と、チャネル領域（ch1、ch2、ch3）の両側に形成され、チャネル領域と共にショットキーコンタクトをそれぞれ形成する2つの金属含有ショットキーソース／ドレイン領域（38a～38b、40a～40b、52a～52b）と、チャネル領域（ch1、ch2、ch3）に形成されるゲート誘電体層（35）と、ゲート誘電体層（35）の中央領域に形成されて両側に位置するゲート誘電体層（35）を露出させ、下方のゲート誘電体層（35）と共にメインゲート構造を形成するメインゲート層（36）と、からなる。

【0089】さらに、メインゲート構造におけるゲート誘電体層（35）の厚さは第1絶縁層32（すなわちサブゲート構造におけるゲート誘電体層）の厚さより小さい。2つのショットキーソース／ドレイン領域（38a～38b、40a～40b、52a～52b）はサブゲート構造と重なっている。

【0090】第4、第5実施例により製造されるサブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの構造は、図23及び図24で示される。各トランジスタは、絶縁基板（60）上に形成されて薄膜トランジスタのチャネル領域（ch4、ch5）となる半導体薄膜層（61）と、絶縁基板（60）及びチャネル領域（ch4、ch5）の両側に形成され、チャネル領域（ch4、ch5）と共にショットキーコンタクトをそれぞれ形成する2つの金属含有ショットキーソース／ドレイン領域（67a～67b、70a～70b）と、チャネル領域（ch4、ch5）に形成される2つのサブゲート構造G_{sub}と、チャネル領域（ch4、ch5）及び2つのサブゲート構造G_{sub}の間に形成されるメインゲート構造G_{pri}と、からなり、メインゲート構造G_{pri}のゲート誘電体層（62）の厚さはサブゲート構造G_{sub}ゲート誘電体層（62）の厚さより小さく、メインゲート構造G_{pri}の導電部分及び2つのサブゲート構造G_{sub}の導電部分（第1導電層63のエッチングにより得られる）は互いに隔離している。

【0091】第6、第7実施例で製造されるサブゲート及びショットキーソース／ドレインを備えた薄膜トランジスタの構造は、図31及び図34で示される。各トランジスタは、絶縁基板（80）上に形成されて薄膜トランジスタのチャネル領域となる半導体薄膜層（81）と、絶縁基板（80）及びチャネル領域の両側に形成され、チャネル領域と共にショットキーコンタクトを形成する2つの金属含有ショットキーソース／ドレイン領域（85a～85b、90a～90b）と、薄膜半導体層

(81)上に形成されるゲート誘電体層(82)と、ゲート誘電体層(82)の中央領域に形成されてメインゲート層(83)の両側に位置するメインゲート酸化層(82)を露出させ、下方のメインゲート誘電体層(82)と共にメインゲート構造を形成するメインゲート層(83)と、ショットキーソース/ドレイン領域及びメインゲート構造上に形成される平坦化された絶縁層(87)と、絶縁層(87)上に形成され、メインゲート構造上に位置し、両端がショットキーソース/ドレイン領域(85a-85b、90a-90b)とそれぞれ重なるサブゲート層(88)と、からなる。

【0092】第8、第9実施例より製造されるサブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタの構造は、図41及び図43で示されている。

【0093】各トランジスタは、絶縁基板(100)上に形成されて薄膜トランジスタのチャンネル領域となる半導体薄膜層(101)と、絶縁基板(100)上及びチャンネル領域の両側に形成され、チャンネル領域と共にショットキーコンタクトを形成する2つの金属含有ショットキーソース/ドレイン領域(105a-105b、100a-100b)と、半導体薄膜層(101)上に形成されるゲート誘電体層(102)と、ゲート誘電体層(102)の中央領域に形成されてメインゲート層(103)の両側に形成されるゲート酸化層(102)を露出させ、下方のゲート誘電体層と共にメインゲート構造を形成するメインゲート層(103)と、メインゲート層(103)第1部分及びメインゲート層の第1部分の側辺に位置するメインゲート誘電体層(102)を被覆する絶縁マスク(104a)と、メインゲート層(103)の第2部分の側壁及びメインゲート層(103)の第2部分の隣のメインゲート誘電体層(102)に形成される絶縁ライニング(104b)と、ショットキーソース/ドレイン領域、絶縁ライニング、絶縁マスク、及びメインゲート構造上に形成される平坦化した絶縁層(107、112)と、絶縁層(107、112)状に形成され、メインゲート構造上に位置し、両端が2つのショットキーソース/ドレイン領域とそれぞれ重なる島状サブゲート層(108、114)と、からなる。

【0094】上述したように、サブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタの等価回路及びその特徴は、図44及び45でそれぞれ示されている。図44において、 V_{g-main} はメインゲートに印加される電圧を、 V_{g-sub} は2つのサブゲートに印加される電圧をそれぞれ示している。 V_s 及び V_d はショットキーソース/ドレインに印加される電圧をそれぞれ示している。

【0095】サブゲートのバイアス電圧 V_{g-sub} は主に素子のチャンネルの種類を決定するように用いられる。 V_{g-sub} が正の電圧0Vよりはるかに大きいとき、メインゲート及びショットキーソース/ドレイン

間のチャンネルオフセット領域(channel offset region)は電子層(electron layer)を誘起する。この電子層はS/D拡張領域(extension region)となり、ショットキーソース/ドレインの接触抵抗を低くするのに用いられる。したがって、図45で示されるように、この状況下では、メインゲートのバイアス電圧 V_{g-main} を調整することによりn型チャンネルを備えた素子を得ることができる。

【0096】2同様に、 V_{g-sub} が負の電圧0Vよりはるかに小さいとき、メインゲート及びショットキーソース/ドレイン間のチャンネルオフセット領域は正電荷を有するホール層(hole layer)を誘起する。図45で示されるように、p型チャンネルを備えた素子が得られる。

【0097】以上により、本発明では注入ドーピングとそれ続くアニーリングを行う必要がない。したがって、工程の複雑度と製造コストを低くすることができる。また工程の温度を低くするのにも有利である。さらに、バイアス電圧 V_{g-sub} を調整することにより、単一の素子をn型、p型チャンネルの両方で操作することができる。

【0098】本発明はサブゲートに電圧を印加することにより電気接合の形成を誘起し、従来のソース/ドレイン拡張領域を置換することができる。その結果、オフ状態の漏電を減少することができる。

【0099】本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

【図1】 従来の薄膜トランジスタの構造を示す図である。

【図2】 図1の薄膜トランジスタのドレイン電流(I_D)体メインゲート電圧(V_G)の特徴を示す図である。

【図3】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図4】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図5】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図6】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図7】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図8】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図9】 本発明の第1実施例による薄膜トランジスタ

の製造過程を示す断面図である。

【図10】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図11】 本発明の第1実施例による薄膜トランジスタの製造過程を示す断面図である。

【図12】 本発明の第2実施例による薄膜トランジスタの製造過程を示す断面図である。

【図13】 本発明の第3実施例による薄膜トランジスタの製造過程を示す断面図である。

【図14】 本発明の第3実施例による薄膜トランジスタの製造過程を示す断面図である。

【図15】 本発明の第3実施例による薄膜トランジスタの製造過程を示す断面図である。

【図16】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図17】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図18】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図19】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図20】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図21】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図22】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図23】 本発明の第4実施例による薄膜トランジスタの製造過程を示す断面図である。

【図24】 本発明の第5実施例による薄膜トランジスタの製造過程を示す断面図である。

【図25】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図26】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図27】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図28】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図29】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図30】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図31】 本発明の第6実施例による薄膜トランジスタの製造過程を示す断面図である。

【図32】 本発明の第7実施例による薄膜トランジスタの製造過程を示す断面図である。

【図33】 本発明の第7実施例による薄膜トランジスタの製造過程を示す断面図である。

【図34】 本発明の第7実施例による薄膜トランジスタの製造過程を示す断面図である。

【図35】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図36】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図37】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図38】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図39】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図40】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図41】 本発明の第8実施例による薄膜トランジスタの製造過程を示す断面図である。

【図42】 本発明の第9実施例による薄膜トランジスタの製造過程を示す断面図である。

【図43】 本発明の第9実施例による薄膜トランジスタの製造過程を示す断面図である。

【図44】 サブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタの等価回路図である。

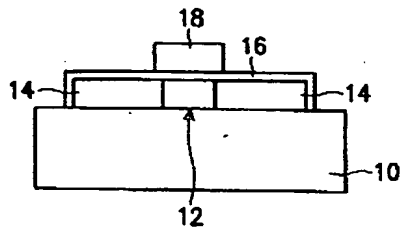
【図45】 サブゲート及びショットキーソース/ドレインを備えた薄膜トランジスタの特性を示すグラフである。

【符号の説明】

1…薄膜トランジスタ、10、100…絶縁基板、12…半導体層、14…ソース/ドレイン領域、16…ゲート酸化層、18…ゲート、30、60、80…絶縁基板、31、61、81、101…島状半導体層、32、62…第1絶縁層、33、64、107…第2絶縁層、34…島状半導体層、35、66、82、102…ゲート誘電体層、36、83、103…島状メインゲート層、37、65、84…ライニング、38a、38b、39、67a、67b、68、85a、85b、86、105a-105b、110a-110b…ケイ化物層、ch1、ch2、ch3、ch4、ch5、ch6、ch7、ch8、ch9…チャネル領域、40a、40b、42、52a、52b、70a、70b、72、90a、90b…金属置換層、50…島状マスク層、63…第1導電層、Gsub…サブゲート積層、Gpri…メインゲート層、87、112…絶縁層、Vg-sub…サブゲートバイアス電圧、Vg-main…メインゲートバイアス電圧、Vs、Vd…ソース/ドレインバイアス電圧、104…CVD酸化層、105…フォトレジスト層、104a…絶縁マスク層、104b…絶縁ライニング、108、114…島状サブゲート層。

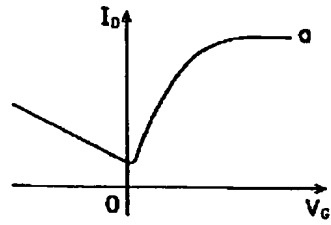
【図1】

図 1



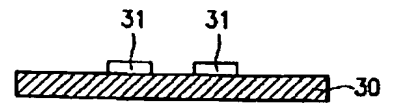
【図2】

図 2



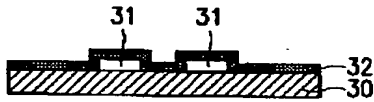
【図3】

図 3



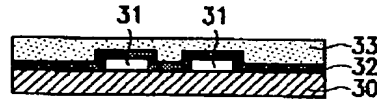
【図4】

図 4



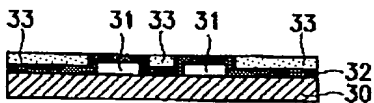
【図5】

図 5



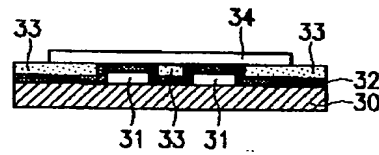
【図6】

図 6



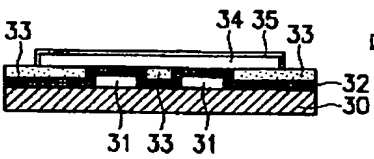
【図7】

図 7



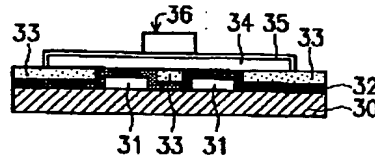
【図8】

図 8



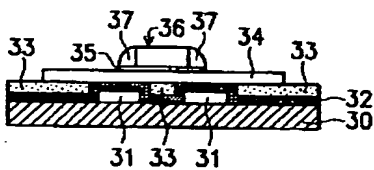
【図9】

図 9



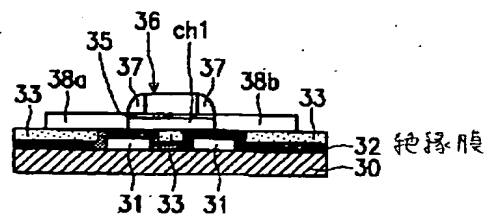
【図10】

図 10



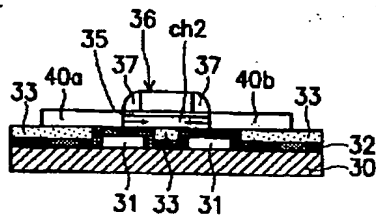
【図11】

図 11



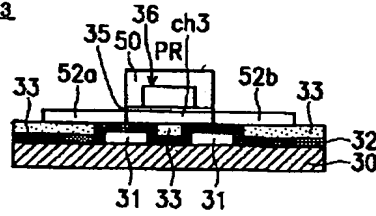
【図12】

図12



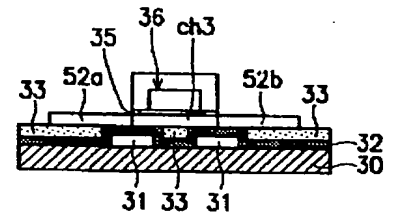
【図13】

図13



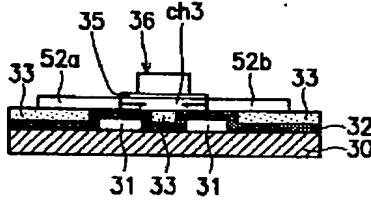
【図14】

図14



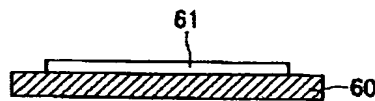
【図15】

図15



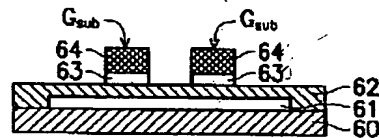
【図16】

図16



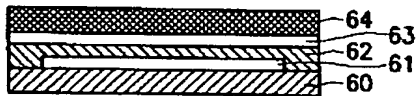
【図18】

図18



【図17】

図17



【図19】

【図20】

図19

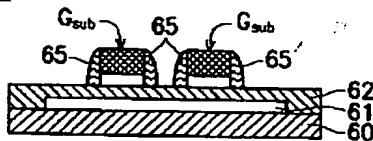
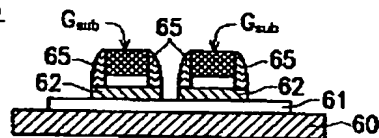


図20



【図21】

【図22】

図21

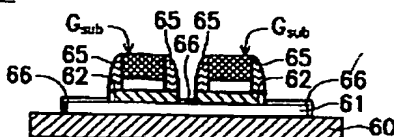
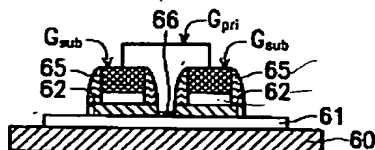
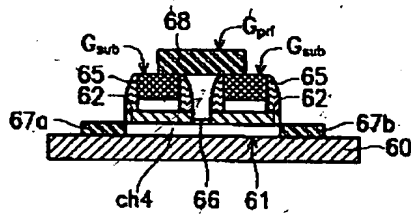


図22



【図23】

図 23



【図24】

図 24

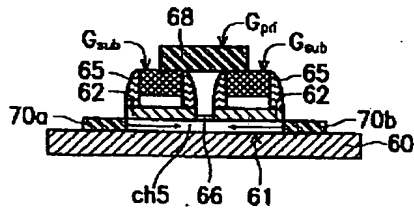


図 25



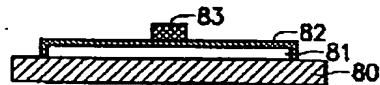
【図26】

図 26



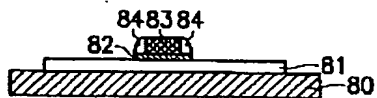
【図27】

図 27



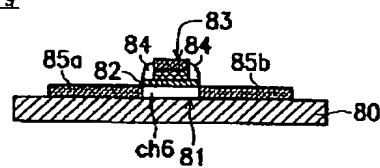
【図28】

図 28



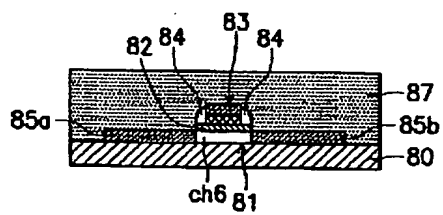
【図29】

図 29



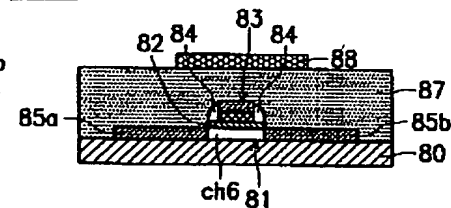
【図30】

図 30



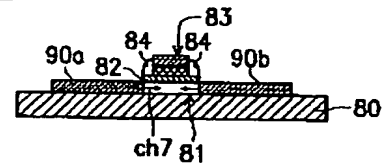
【図31】

図 31



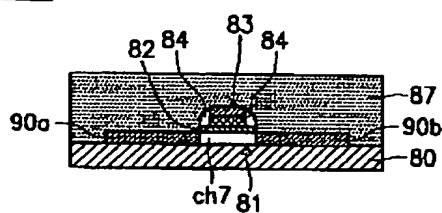
【図32】

図 32



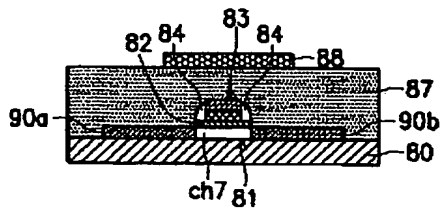
【図33】

図 33



【図34】

図34



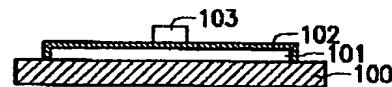
【図35】

図35



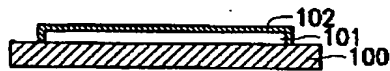
【図37】

図37



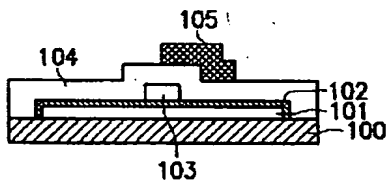
【図36】

図36



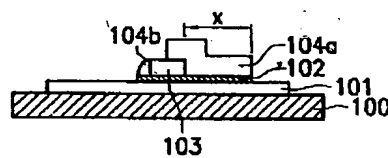
【図38】

図38



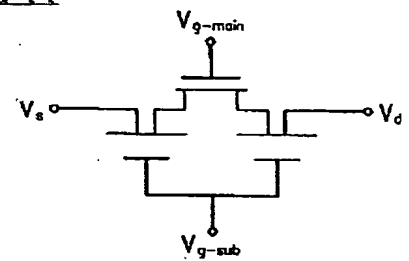
【図39】

図39



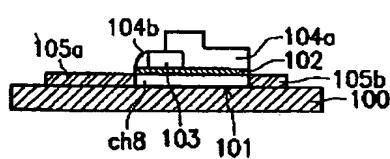
【図44】

図44



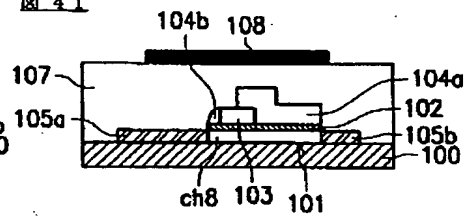
【図40】

図40



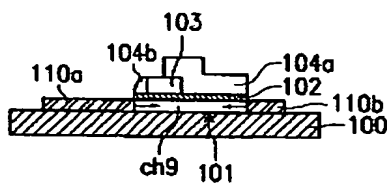
【図41】

図41



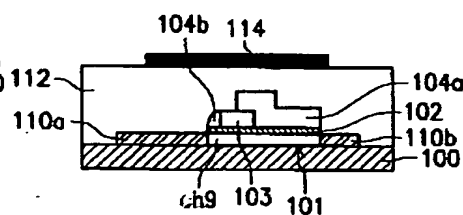
【図42】

図42

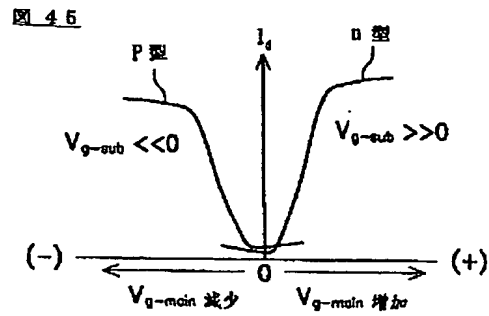


【図43】

図43



【図45】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H O I L 29/48

テ-マ-ト' (参考)
S

Fターム(参考) 4M104 AA09 BB01 BB20 BB21 BB22
BB25 CC03 DD02 DD53 DD79
DD80 DD84 FF14 GG09
5F052 AA11 DA02 FA06 JA01
5F110 AA06 AA16 AA17 BB13 CC01
DD01 DD03 EE01 EE02 EE08
EE09 EE14 EE27 EE28 EE30
EE32 EE41 EE42 EE43 EE45
FF02 FF03 FF23 FF27 FF29
GG02 GG12 GG13 GG15 GG25
HK02 HK04 HK05 HK31 HK32
HK40 HM12 HM14 NN04 NN23
NN35 PP01 PP10 PP13 PP15
PP24 PP34 QQ11 QQ19